

## フロントエンドモジュール

### 発明の背景

#### 1. 発明の技術分野

本発明は、携帯電話等の通信装置において送信信号および受信信号を処理するためのフロントエンドモジュールに関する。

#### 2. 関連技術の説明

近年、携帯電話は、第3世代を迎え、単なる通話機能だけではなく、高速データ通信機能をも有することが必須となりつつある。そのため、各国において、高速データ通信を可能にする種々の多重化方式の採用が検討されている。しかしながら、多重化方式の統一は困難な状況である。そのため、携帯電話には、マルチモード（複数方式）およびマルチバンド（複数の周波数帯）に対応することが求められている。

例えば、欧州では、既に、GSM（Global System for Mobile Communications）方式とDCS（Digital Cellular System）方式とに対応可能なデュアルバンド型携帯電話が全域で普及している。GSM方式とDCS方式は、いずれも時分割多重接続方式である。欧州では、第3世代携帯電話として、上記の2方式に加え、大きなデータ通信速度（例えば2Mbps）を実現することができる広帯域符号分割多重接続（以下、WCDMAとも記す。）方式にも対応可能なデュアルモード・トリプルバンド型携帯電話を採用することを予定している。

携帯電話では、上述のように新たな機能が付加されると、回路がより複雑になると共に部品点数が増える。そのため、携帯電話では、より高密度の部品実装技術が要求されている。また、このような事情から、携帯電話の内部の高周波回路では、その実装スペースを削減するため、部品の小型軽量化、複合化および集積化が不可欠となっている。

特開平11-225088号公報には、GSM方式およびDCS方式に対応したデュアルバンド型携帯電話用の高周波スイッチモジュールが記載されている。この高周波スイッチモジュールでは、分波回路によってGSM方式に対応した周波数帯域とDCS方式に対応した周波数帯域とを分離すると共に、2つの高周波

スイッチを用いて、各周波数帯域における送信信号と受信信号とを分離するようになっている。

また、特開 2 0 0 2 - 4 3 9 7 7 号公報には、3 つの周波数帯域を使用する 3 つの通信システムのそれぞれの送信信号および受信信号を処理するための高周波モジュールが記載されている。この高周波モジュールでは、ダイプレクサによって、低周波数帯域と高周波数帯域とを分離する。高周波数帯域には、第 1 および第 2 の通信システムの 2 つの周波数帯域が含まれている。低周波数帯域には、第 3 の通信システムの周波数帯域が含まれている。第 1 および第 2 の通信システムの受信信号と、第 1 および第 2 の通信システムの送信信号は、第 1 の高周波スイッチによって分離される。また、第 3 の通信システムの送信信号と受信信号は、第 2 の高周波スイッチによって分離される。また、第 1 の通信システムの受信信号と第 2 の通信システムの受信信号は、2 つの SAW フィルタによって分離される。また、特開 2 0 0 2 - 4 3 9 7 7 号公報には、複数のシート層を積層してなる積層体によって、高周波モジュールの構成要素を複合化することが記載されている。

特開平 1 1 - 2 2 5 0 8 8 号公報に記載された高周波スイッチモジュールでは、高周波スイッチを用いて、各周波数帯域における送信信号と受信信号とを分離している。また、特開 2 0 0 2 - 4 3 9 7 7 号公報に記載された高周波モジュールでも、高周波スイッチを用いて送信信号と受信信号とを分離している。そのため、特開平 1 1 - 2 2 5 0 8 8 号公報に記載された高周波スイッチモジュールや、特開 2 0 0 2 - 4 3 9 7 7 号公報に記載された高周波モジュールでは、CDMA 方式に対応することができないという問題点がある。

なお、特開 2 0 0 2 - 4 3 9 7 7 号公報では、2 つの通信方式の受信信号を分離する 2 つの SAW フィルタを含むものを SAW デュプレクサと称している。しかし、一般的に、デュプレクサは、送信信号と受信信号とを分離するものを指す。本発明の実施の形態においても、送信信号と受信信号とを分離するものをデュプレクサと呼ぶ。従って、特開 2 0 0 2 - 4 3 9 7 7 号公報における SAW デュプレクサは、機能上、本発明の実施の形態におけるデュプレクサとは異なるものである。

## 発明の目的および概要

本発明の目的は、第 1 および第 2 の周波数帯域のそれぞれにおける送信信号および受信信号を処理できると共に符号分割多重接続方式に対応可能で、且つ小型軽量化、複合化および集積化が容易なフロントエンドモジュールを提供することにある。

本発明のフロントエンドモジュールは、第 1 および第 2 の周波数帯域のそれぞれにおける送信信号および受信信号を処理するためのモジュールであって、

アンテナに接続され、第 1 および第 2 の周波数帯域を分離する第 1 の分離手段と、

第 1 の分離手段に接続され、それぞれフィルタとして機能する 2 つの弾性波素子を含み、第 1 の周波数帯域における送信信号と受信信号とを分離する第 2 の分離手段と、

第 1 の分離手段に接続され、それぞれフィルタとして機能する 2 つの弾性波素子を含み、第 2 の周波数帯域における送信信号と受信信号とを分離する第 3 の分離手段と、

第 1 ないし第 3 の分離手段を集積するための 1 つの集積用多層基板とを備え、

第 1 の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されているものである。

本発明のフロントエンドモジュールでは、第 1 の分離手段によって、第 1 および第 2 の周波数帯域が分離され、2 つの弾性波素子を含む第 2 の分離手段によって、第 1 の周波数帯域における送信信号と受信信号とが分離され、2 つの弾性波素子を含む第 3 の分離手段によって、第 2 の周波数帯域における送信信号と受信信号とが分離される。第 1 ないし第 3 の分離手段は、1 つの集積用多層基板によって集積されている。また、第 1 の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されている。なお、弾性波素子とは、弾性波を利用した素子である。弾性波素子は、弾性表面波を利用する弾性表面波素子でもよいし、バルク弾性波を利用するバルク弾性波素子でもよい。

本発明のフロントエンドモジュールにおいて、第 2 の分離手段に含まれる 2 つ

の弾性波素子および第3の分離手段に含まれる2つの弾性波素子は、集積用多層基板に実装され、弾性波素子以外の第2の分離手段および第3の分離手段の回路部分の少なくとも一部は、集積用多層基板の内部または表面上の導体層を用いて構成されていてもよい。

また、本発明のフロントエンドモジュールにおいて、第1の分離手段は、第1の周波数帯域内の周波数の信号を通過させ、第2の周波数帯域内の周波数の信号を遮断するフィルタと、第2の周波数帯域内の周波数の信号を通過させ、第1の周波数帯域内の周波数の信号を遮断するフィルタとを有していてもよい。

また、本発明のフロントエンドモジュールにおいて、第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号は、符号分割多重接続方式の信号であってもよい。

本発明のその他の目的、特徴および利益は、以下の説明を以って十分明白になるであろう。

#### 図面の簡単な説明

図1は、本発明の第1の実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例を示すブロック図である。

図2は、図1におけるダイプレクサの回路構成の一例を示す回路図である。

図3は、図1における高周波スイッチの回路構成の一例を示す回路図である。

図4は、図1におけるデュプレクサの回路構成の一例を示すブロック図である。

。

図5は、図1におけるデュプレクサおよびそれに接続される整合回路の回路構成の一例を示す回路図である。

図6は、図1におけるローパスフィルタの回路構成の一例を示す回路図である。

。

図7は、図1におけるカプラの回路構成の一例を示す回路図である。

図8は、図1における電力増幅器の回路構成の一例を示す回路図である。

図9は、図1におけるデュプレクサの構造の第1の例を示す断面図である。

図10は、図1におけるデュプレクサの構造の第2の例を示す断面図である。

図 1 1 は、図 1 におけるデュプレクサの構造の第 3 の例を示す断面図である。

図 1 2 は、本発明の第 1 の実施の形態における第 1 の変形例のフロントエンドモジュールを含む携帯電話の高周波回路を示すブロック図である。

図 1 3 は、本発明の第 1 の実施の形態における第 2 の変形例のフロントエンドモジュールを含む携帯電話の高周波回路を示すブロック図である。

図 1 4 は、本発明の第 1 の実施の形態における第 2 の変形例のフロントエンドモジュールにおける電力増幅器の配置の一例を示す断面図である。

図 1 5 は、本発明の第 1 の実施の形態の第 3 の変形例におけるアンテナの構造の第 1 の例を示す斜視図である。

図 1 6 は、本発明の第 1 の実施の形態の第 3 の変形例におけるアンテナの構造の第 2 の例を示す斜視図である。

図 1 7 は、本発明の第 2 の実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例を示すブロック図である。

図 1 8 は、本発明の第 2 の実施の形態に係るフロントエンドモジュールによって処理される信号の周波数帯域を示す説明図である。

図 1 9 は、図 1 7 におけるダイプレクサの構成の一例を示すブロック図である。

図 2 0 は、図 1 9 におけるローパスフィルタの特性を示す説明図である。

図 2 1 は、図 1 9 におけるハイパスフィルタの特性を示す説明図である。

図 2 2 は、図 1 7 におけるバンドパスフィルタの特性を示す説明図である。

図 2 3 は、図 1 9 におけるローパスフィルタの構成の一例を示す回路図である。

図 2 4 は、図 2 3 に示したローパスフィルタの代わりに用いることの可能な高域除去型のノッチフィルタの構成の一例を示す回路図である。

図 2 5 は、図 1 9 におけるハイパスフィルタの構成の一例を示す回路図である。

図 2 6 は、図 2 5 に示したハイパスフィルタの代わりに用いることの可能な低域除去型のノッチフィルタの構成の一例を示す回路図である。

図 2 7 は、図 1 7 におけるバンドパスフィルタの構成の一例を示す回路図であ

る。

図 28 は、図 17 におけるデュプレクサの構成の一例を示すブロック図である。

図 29 は、図 17 におけるデュプレクサおよびそれに接続される整合回路の構成の一例を示す回路図である。

図 30 は、図 28 または図 29 における送信側バンドパスフィルタの特性を示す説明図である。

図 31 は、図 28 または図 29 における受信側バンドパスフィルタの特性を示す説明図である。

図 32 は、本発明の第 2 の実施の形態に係るフロントエンドモジュールの外観の一例を示す斜視図である。

図 33 は、図 32 に示したフロントエンドモジュールの断面図である。

図 34 は、図 33 における一部を示す斜視図である。

図 35 は、本発明の第 2 の実施の形態に係るフロントエンドモジュールの構造の他の例を示す断面図である。

図 36 は、比較例のフロントエンドモジュールにおけるダイプレクサの外観の一例を示す平面図である。

図 37 は、図 36 に示したダイプレクサの断面図である。

図 38 は、図 37 における一部を分解して示す斜視図である。

図 39 は、比較例におけるデュプレクサの外観の一例を示す斜視図である。

図 40 は、図 39 に示したデュプレクサの断面図である。

図 41 は、比較例におけるフロントエンドモジュールの構成部品の配置例を示す平面図である。

図 42 は、比較例におけるフロントエンドモジュールの構成部品の配置例を示す斜視図である。

#### 好適な実施の形態の詳細な説明

以下、本発明の実施の形態について図面を参照して詳細に説明する。

##### 〔第 1 の実施の形態〕

始めに、本発明の第1の実施の形態に係るフロントエンドモジュールについて説明する。本実施の形態に係るフロントエンドモジュールは、時分割多重接続方式であるGSM方式と、時分割多重接続方式であるDCS方式と、符号分割多重接続方式であるW-CDMA方式と、符号分割多重接続方式である狭帯域符号分割多重接続（以下、N-CDMAと記す。）方式に対応し、これらの各方式の送信信号および受信信号を処理するモジュールである。GSM方式の送信信号の周波数帯域は880MHz～915MHzである。GSM方式の受信信号の周波数帯域は925MHz～960MHzである。DCS方式の送信信号の周波数帯域は1710MHz～1785MHzである。DCS方式の受信信号の周波数帯域は1805MHz～1880MHzである。W-CDMA方式の送信信号の周波数帯域は1920MHz～1990MHzである。W-CDMA方式の受信信号の周波数帯域は2110MHz～2180MHzである。N-CDMA方式の送信信号の周波数帯域は824MHz～849MHzである。N-CDMA方式の受信信号の周波数帯域は869MHz～894MHzである。

N-CDMA方式の送信信号および受信信号の周波数帯域は、本発明における第1の周波数帯域に対応する。W-CDMA方式の送信信号および受信信号の周波数帯域は、本発明における第2の周波数帯域に対応する。

まず、図1を参照して、本実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例について説明する。図1に示した高周波回路は、アンテナ1と、このアンテナ1に接続された本実施の形態に係るフロントエンドモジュール2と、主に信号の変調および復調を行う集積回路3とを備えている。高周波回路は、更に、GSM方式およびDCS方式用の2つの電圧制御発振器4、5と、W-CDMA方式用の電圧制御発振器6Wと、N-CDMA方式用の電圧制御発振器6Nとを備えている。これらの電圧制御発振器4、5、6W、6Nは集積回路3に接続されている。

高周波回路は、更に、入力端がフロントエンドモジュール2に接続され、それぞれ出力端が集積回路3に接続されたバンドパスフィルタ（以下、BPFと記す。）25G、25Dと、入力端がフロントエンドモジュール2に接続されたローノイズアンプ36Wと、入力端がローノイズアンプ36Wの出力端に接続され、

出力端が集積回路 3 に接続された B P F 3 7 W と、入力端がフロントエンドモジュール 2 に接続されたローノイズアンプ 3 6 N と、入力端がローノイズアンプ 3 6 N の出力端に接続され、出力端が集積回路 3 に接続された B P F 3 7 N とを備えている。B P F 2 5 G, 2 5 D, 3 7 W, 3 7 N は、それぞれ弾性波素子を用いて構成されている。

高周波回路は、更に、入力端が集積回路 3 に接続された電力増幅器（図では P A と記す。） 2 1 G と、入力端が電力増幅器 2 1 G の出力端に接続されたカプラ 2 2 G と、カプラ 2 2 G の出力に基づいて、電力増幅器 2 1 G の出力利得が一定になるように電力増幅器 2 1 G を制御する自動出力制御回路（図では A P C と記す。） 2 3 G と、入力端がカプラ 2 2 G の出力端に接続され、出力端がフロントエンドモジュール 2 に接続されたローパスフィルタ（以下、L P F と記す。） 2 4 G とを備えている。これらは、G S M 方式用の回路である。高周波回路は、更に、上記 G S M 方式用の回路と同様に構成された、D C S 方式用の電力増幅器 2 1 D、カプラ 2 2 D、自動出力制御回路 2 3 D および L P F 2 4 D を備えている。

高周波回路は、更に、入力端が集積回路 3 に接続された B P F 3 1 W と、入力端が B P F 3 1 W の出力端に接続された電力増幅器 3 2 W と、入力端が電力増幅器 3 2 W の出力端に接続されたカプラ 3 3 W と、カプラ 3 3 W の出力に基づいて、電力増幅器 3 2 W の出力利得が一定になるように電力増幅器 3 2 W を制御する自動出力制御回路 3 4 W と、入力端がカプラ 3 3 W の出力端に接続され、出力端がフロントエンドモジュール 2 に接続されたアイソレータ 3 5 W とを備えている。これらは、W - C D M A 方式用の回路である。高周波回路は、更に、上記 W - C D M A 方式用の回路と同様に構成された、N - C D M A 方式用の B P F 3 1 N、電力増幅器 3 2 N、カプラ 3 3 N、自動出力制御回路 3 4 N およびアイソレータ 3 5 N を備えている。B P F 3 1 W, 3 1 N は弾性波素子を用いて構成されている。

次に、フロントエンドモジュール 2 について詳しく説明する。フロントエンドモジュール 2 は、ダイプレクサ 1 1 と、高周波スイッチ 1 6, 1 7, 1 2 G, 1 2 D と、デュプレクサ 1 3 W, 1 3 N とを備えている。ダイプレクサ 1 1 は、本



発明における第1の分離手段に対応する。デュプレクサ13Nは、本発明における第2の分離手段に対応する。デュプレクサ13Wは、本発明における第3の分離手段に対応する。

ダイプレクサ11は、第1ないし第3のポートを有している。第1のポートはアンテナ1に接続されている。第2のポートはN-CDMA方式の信号およびGSM方式の信号を入出力するようになっている。第3のポートはW-CDMA方式の信号およびDCS方式の信号を入出力するようになっている。

ダイプレクサ11の第2のポートは、高周波スイッチ17の可動接点に接続されている。高周波スイッチ17の2つの固定接点のうちの一方の固定接点はデュプレクサ13Nに接続されている。高周波スイッチ17の他方の固定接点は、高周波スイッチ12Gの可動接点に接続されている。高周波スイッチ12Gの2つの固定接点のうちの一方の固定接点（符号Rを付した固定接点）はBPF25Gの入力端に接続されている。高周波スイッチ12Gの他方の固定接点（符号Tを付した固定接点）はLPF24Gの出力端に接続されている。

ダイプレクサ11の第3のポートは、高周波スイッチ16の可動接点に接続されている。高周波スイッチ16の2つの固定接点のうちの一方の固定接点はデュプレクサ13Wに接続されている。高周波スイッチ16の他方の固定接点は、高周波スイッチ12Dの可動接点に接続されている。高周波スイッチ12Dの2つの固定接点のうちの一方の固定接点（符号Rを付した固定接点）はBPF25Dの入力端に接続されている。高周波スイッチ12Dの他方の固定接点（符号Tを付した固定接点）はLPF24Dの出力端に接続されている。

デュプレクサ13Nは、共通端子と受信端子（符号Rを付した端子）と送信端子（符号Tを付した端子）とを有している。デュプレクサ13Nの共通端子は、高周波スイッチ17の一方の固定接点に接続されている。デュプレクサ13Nの受信端子は、ローノイズアンプ36Nの入力端に接続されている。デュプレクサ13Nの送信端子は、アイソレータ35Nの出力端に接続されている。

デュプレクサ13Wは、共通端子と受信端子（符号Rを付した端子）と送信端子（符号Tを付した端子）とを有している。デュプレクサ13Wの共通端子は、高周波スイッチ16の一方の固定接点に接続されている。デュプレクサ13Wの

受信端子は、ローノイズアンプ 36 W の入力端に接続されている。デュプレクサ 13 W の送信端子は、アイソレータ 35 W の出力端に接続されている。

ダイプレクサ 11 は、信号の周波数に応じて、N-CDMA 方式の信号および GSM 方式の信号と、W-CDMA 方式の信号および DCS 方式の信号とを分離する。具体的に説明すると、ダイプレクサ 11 は、第 2 のポートに入力された N-CDMA 方式の送信信号または GSM 方式の送信信号と、第 3 のポートに入力された W-CDMA 方式の送信信号または DCS 方式の送信信号を第 1 のポートより出力する。また、ダイプレクサ 11 は、第 1 のポートに入力された N-CDMA 方式の受信信号または GSM 方式の受信信号を第 2 のポートより出力し、第 1 のポートに入力された W-CDMA 方式の受信信号または DCS 方式の受信信号を第 3 のポートより出力する。

高周波スイッチ 17 は、N-CDMA 方式の送信信号および受信信号と、GSM 方式の送信信号および受信信号とを分離する。具体的に説明すると、高周波スイッチ 17 は、一方の固定接点に入力された N-CDMA 方式の送信信号を可動接点より出力し、可動接点に入力された N-CDMA 方式の受信信号を一方の固定接点より出力する。また、高周波スイッチ 17 は、他方の固定接点に入力された GSM 方式の送信信号を可動接点より出力し、可動接点に入力された GSM 方式の受信信号を他方の固定接点より出力する。

高周波スイッチ 16 は、W-CDMA 方式の送信信号および受信信号と、DCS 方式の送信信号および受信信号とを分離する。具体的に説明すると、高周波スイッチ 16 は、一方の固定接点に入力された W-CDMA 方式の送信信号を可動接点より出力し、可動接点に入力された W-CDMA 方式の受信信号を一方の固定接点より出力する。また、高周波スイッチ 16 は、他方の固定接点に入力された DCS 方式の送信信号を可動接点より出力し、可動接点に入力された DCS 方式の受信信号を他方の固定接点より出力する。

高周波スイッチ 12 G は、GSM 方式の送信信号と GSM 方式の受信信号とを分離する。具体的に説明すると、高周波スイッチ 12 G は、可動接点に入力された GSM 方式の受信信号（図では、GSM/RX と記す。）を一方の固定接点より出力し、他方の固定接点に入力された GSM 方式の送信信号（図では、GSM

／TXと記す。)を可動接点より出力する。

高周波スイッチ12Dは、DCS方式の送信信号とDCS方式の受信信号とを分離する。具体的に説明すると、高周波スイッチ12Dは、可動接点に入力されたDCS方式の受信信号(図では、DCS／RXと記す。)を一方の固定接点より出力し、他方の固定接点に入力されたDCS方式の送信信号(図では、DCS／TXと記す。)を可動接点より出力する。

デュプレクサ13Wは、周波数の違いによって、W-CDMA方式の送信信号とW-CDMA方式の受信信号とを分離する。具体的に説明すると、デュプレクサ13Wは、共通端子に入力されたW-CDMA方式の受信信号(図では、WCDMA／RXと記す。)を受信端子より出力し、送信端子に入力されたW-CDMA方式の送信信号(図では、WCDMA／TXと記す。)を共通端子より出力する。

デュプレクサ13Nは、周波数の違いによって、N-CDMA方式の送信信号とN-CDMA方式の受信信号とを分離する。具体的に説明すると、デュプレクサ13Nは、共通端子に入力されたN-CDMA方式の受信信号(図では、NCDMA／RXと記す。)を受信端子より出力し、送信端子に入力されたN-CDMA方式の送信信号(図では、NCDMA／TXと記す。)を共通端子より出力する。

次に、集積回路3について説明する。集積回路3は、I信号とQ信号からなるベースバンドの入力信号を入力すると共に、I信号とQ信号からなるベースバンドの出力信号を出力するようになっている。

集積回路3は、入力端がBPF25Gの出力端に接続されたミキサ42Gと、入力端がミキサ42Gの出力端に接続された増幅器43Gと、入力端がBPF25Dの出力端に接続されたミキサ42Dと、入力端がミキサ42Dの出力端に接続された増幅器43Dとを備えている。集積回路3は、更に、入力端がBPF37Wの出力端に接続されたミキサ42Wと、入力端がミキサ42Wの出力端に接続された増幅器43Wと、入力端がBPF37Nの出力端に接続されたミキサ42Nと、入力端がミキサ42Nの出力端に接続された増幅器43Nとを備えている。

集積回路 3 は、更に、出力端が電力増幅器 2 1 G, 2 1 D の各入力端に接続されたミキサ 4 1 と、出力端が B P F 3 1 W の入力端に接続されたミキサ 4 1 W と、出力端が B P F 3 1 N の入力端に接続されたミキサ 4 1 N と備えている。ミキサ 4 2 G, 4 2 D は電圧制御発振器 5 に接続されている。ミキサ 4 2 W は電圧制御発振器 6 W に接続されている。ミキサ 4 1 は電圧制御発振器 4 に接続されている。ミキサ 4 1 W は電圧制御発振器 6 W に接続されている。ミキサ 4 1 N は電圧制御発振器 6 N に接続されている。

集積回路 3 は、更に、G S M 方式および D C S 方式用の位相同期化ループ回路（図では G S M / D C S P L L と記す。）4 4 と、W - C D M A 方式用の位相同期化ループ回路（図では W - C D M A P L L と記す。）4 5 W と、N - C D M A 方式用の位相同期化ループ回路（図では N - C D M A P L L と記す。）4 5 N とを備えている。位相同期化ループ回路 4 4 は、電圧制御発振器 4, 5 に接続されている。位相同期化ループ回路 4 5 W は、電圧制御発振器 6 W に接続されている。位相同期化ループ回路 4 5 N は、電圧制御発振器 6 N に接続されている。

ミキサ 4 2 G は、B P F 2 5 G の出力信号に、電圧制御発振器 5 が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。ミキサ 4 2 D は、B P F 2 5 D の出力信号に、電圧制御発振器 5 が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。ミキサ 4 2 W は、B P F 3 7 W の出力信号に、電圧制御発振器 6 W が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。ミキサ 4 2 N は、B P F 3 7 N の出力信号に、電圧制御発振器 6 N が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。

ミキサ 4 1 は、集積回路 3 に入力されたベースバンド信号に、電圧制御発振器 4 が出力する高周波信号をミックスして、ベースバンド信号を高周波の送信信号に変換するようになっている。ミキサ 4 1 W は、集積回路 3 に入力されたベースバンド信号に、電圧制御発振器 6 W が出力する高周波信号をミックスして、ベースバンド信号を高周波の送信信号に変換するようになっている。ミキサ 4 1 N は

、集積回路 3 C に入力されたベースバンド信号に、電圧制御発振器 6 N が出力する高周波信号をミックスして、ベースバンド信号を高周波の送信信号に変換するようになっている。

図示しないが、集積回路 3 は、更に、入力した I 信号と Q 信号を直交変調し、変調された信号をミキサ 4 1, 4 1 W, 4 1 N に送る機能と、増幅器 4 3 G, 4 3 D, 4 3 W, 4 3 N の出力信号を直交復調して I 信号と Q 信号とを生成し、これらを出力する機能とを備えている。なお、ミキサ 4 1, 4 1 W, 4 1 N が直交変調する機能を兼ね備えていてもよいし、ミキサ 4 2 G, 4 2 D, 4 2 W, 4 2 N が直交復調する機能を兼ね備えていてもよい。

高周波スイッチ 1 2 G より出力される G S M 方式の受信信号は、B P F 2 5 G を通過してミキサ 4 2 G に入力されるようになっている。高周波スイッチ 1 2 D より出力される D C S 方式の受信信号は、B P F 2 5 D を通過してミキサ 4 2 D に入力されるようになっている。デュプレクサ 1 3 W より出力される W - C D M A 方式の受信信号は、ローノイズアンプ 3 6 W および B P F 3 7 W を通過してミキサ 4 2 W に入力されるようになっている。デュプレクサ 1 3 N より出力される N - C D M A 方式の受信信号は、ローノイズアンプ 3 6 N および B P F 3 7 N を通過してミキサ 4 2 N に入力されるようになっている。

ミキサ 4 1 の出力信号は、電力増幅器 2 1 G、カプラ 2 2 G および L P F 2 4 G を通過して高周波スイッチ 1 2 G に入力されると共に、電力増幅器 2 1 D、カプラ 2 2 D および L P F 2 4 D を通過して高周波スイッチ 1 2 D に入力されるようになっている。ミキサ 4 1 W の出力信号は、B P F 3 1 W、電力増幅器 3 2 W、カプラ 3 3 W およびアイソレータ 3 5 W を通過してデュプレクサ 1 3 W に入力されるようになっている。ミキサ 4 1 N の出力信号は、B P F 3 1 N、電力増幅器 3 2 N、カプラ 3 3 N およびアイソレータ 3 5 N を通過してデュプレクサ 1 3 N に入力されるようになっている。

次に、図 2 を参照して、ダイプレクサ 1 1 の回路構成の一例について説明する。図 2 に示したダイプレクサ 1 1 は、第 1 ないし第 3 のポート 1 1 1, 1 1 2, 1 1 3 を有している。第 1 のポート 1 1 1 はアンテナ 1 に接続されるようになっている。第 2 のポート 1 1 2 は G S M 方式の信号および N - C D M A 方式の信号

を入出力するようになっている。第3のポート113はDCS方式の信号およびW-CDMA方式の信号を入出力するようになっている。ダイプレクサ11は、更に、一端が第1のポート111に接続されたキャパシタ114と、一端がキャパシタ114の他端に接続されたインダクタ115と、一端がインダクタ115の他端に接続され、他端が第2のポート112に接続されたインダクタ116と、一端がインダクタ115の他端に接続され、他端が第2のポート112に接続されたキャパシタ117と、一端がインダクタ115の他端に接続され、他端が接地されたキャパシタ118と、一端が第2のポート112に接続され、他端が接地されたキャパシタ119とを有している。インダクタ115、116およびキャパシタ117、118、119は、GSM方式およびN-CDMA方式のそれぞれの送信信号および受信信号を通過させるLPFを構成している。

ダイプレクサ11は、更に、一端がキャパシタ114の他端に接続されたキャパシタ120と、一端がキャパシタ120の他端に接続され、他端が第3のポート113に接続されたキャパシタ121と、一端がキャパシタ120の他端に接続されたキャパシタ122と、一端がキャパシタ122の他端に接続され、他端が接地されたインダクタ123とを有している。キャパシタ120、121、122およびインダクタ123は、DCS方式およびW-CDMA方式のそれぞれの送信信号および受信信号を通過させるハイパスフィルタ（以下、HPFと記す。）を構成している。

次に、図3を参照して、高周波スイッチ12Gの回路構成の一例について説明する。図3に示した高周波スイッチ12Gは、可動接点131と、2つの固定接点132、133と、2つの制御端子134、135とを有している。固定接点132は、図1において記号Tを付した固定接点である。固定接点133は、図1において記号Rを付した固定接点である。高周波スイッチ12Gは、更に、一端が可動接点131に接続されたキャパシタ136と、カソードがキャパシタ136の他端に接続されたダイオード137と、一端がダイオード137のアノードに接続され、他端が固定接点132に接続されたキャパシタ138と、一端がダイオード137のアノードに接続され、他端が制御端子134に接続されたインダクタ139と、一端が制御端子134に接続され、他端が接地されたキャパ

シタ 1 4 0 とを有している。

高周波スイッチ 1 2 G は、更に、一端がキャパシタ 1 3 6 の他端に接続されたインダクタ 1 4 1 と、一端がインダクタ 1 4 1 の他端に接続され、他端が固定接点 1 3 3 に接続されたキャパシタ 1 4 2 と、アノードがインダクタ 1 4 1 の他端に接続され、カソードが制御端子 1 3 5 に接続されたダイオード 1 4 3 と、一端が制御端子 1 3 5 に接続され、他端が接地されたキャパシタ 1 4 4 とを有している。

高周波スイッチ 1 2 G では、制御端子 1 3 4 に印加される制御信号がハイレベルで、制御端子 1 3 5 に印加される制御信号がローレベルのときには、2つのダイオード 1 3 7, 1 4 3 が共にオン状態となり、可動接点 1 3 1 に固定接点 1 3 2 が接続される。一方、制御端子 1 3 4 に印加される制御信号がローレベルで、制御端子 1 3 5 に印加される制御信号がハイレベルのときには、2つのダイオード 1 3 7, 1 4 3 が共にオフ状態となり、可動接点 1 3 1 に固定接点 1 3 3 が接続される。

なお、図 1 における高周波スイッチ 1 2 D, 1 6, 1 7 の構成は、高周波スイッチ 1 2 G と同様である。

次に、図 4 を参照して、デュプレクサ 1 3 W の回路構成の一例について説明する。図 4 に示したデュプレクサ 1 3 W は、共通端子 1 5 1 と受信端子 1 5 2 と送信端子 1 5 3 とを有している。デュプレクサ 1 3 W は、更に、一端が共通端子 1 5 1 に接続された受信側ディレーライン 1 5 4 と、入力端が受信側ディレーライン 1 5 4 の他端に接続され、出力端が受信端子 1 5 2 に接続された受信側 B P F 1 5 5 とを有している。デュプレクサ 1 3 W は、更に、一端が共通端子 1 5 1 に接続された送信側ディレーライン 1 5 6 と、出力端が送信側ディレーライン 1 5 6 の他端に接続され、入力端が送信端子 1 5 3 に接続された送信側 B P F 1 5 7 とを有している。B P F 1 5 5, 1 5 7 は、いずれも弾性波素子を用いて構成されている。

受信側ディレーライン 1 5 4 は、受信端子 1 5 2 側からデュプレクサ 1 3 W を見たときに、受信信号の周波数帯域ではインピーダンスがほぼ  $50\ \Omega$  となり、送信信号の周波数帯域ではインピーダンスが十分に大きくなるように、共通端子 1

5 1 と受信側 B P F 1 5 5 との間に挿入される。同様に、送信側ディレーライン 1 5 6 は、送信端子 1 5 3 側からデュプレクサ 1 3 W を見たときに、送信信号の周波数帯域ではインピーダンスがほぼ  $50\ \Omega$  となり、受信信号の周波数帯域ではインピーダンスが十分に大きくなるように、共通端子 1 5 1 と送信側 B P F 1 5 7 との間に挿入される。なお、B P F 1 5 5, 1 5 7 の構成によっては、受信側ディレーライン 1 5 4 と送信側ディレーライン 1 5 6 の一方のみを設ければよい場合もある。

なお、図 4 に示したデュプレクサ 1 3 W における共通端子 1 5 1、受信端子 1 5 2、送信端子 1 5 3 と、それらに接続される外部の回路との間に、それぞれ、デュプレクサ 1 3 W と外部の回路とのインピーダンス整合を行う整合回路を設けてもよい。図 5 は、デュプレクサ 1 3 W およびそれに接続される整合回路の回路構成の一例を示す回路図である。図 5 に示した例におけるデュプレクサ 1 3 W の構成は、図 4 に示したデュプレクサ 1 3 W の構成と同様である。図 5 に示した例では、共通端子 1 5 1 に整合回路 2 0 1 が接続され、受信端子 1 5 2 に整合回路 2 0 2 が接続され、送信端子 1 5 3 に整合回路 2 0 3 が接続されている。これらの整合回路 2 0 1, 2 0 2, 2 0 3 は、フロントエンドモジュール 2 に含まれている。

整合回路 2 0 1 は、2 つの端子 2 0 4, 2 0 5 と、一端が端子 2 0 4 に接続されたインダクタ 2 0 6 と、一端がインダクタ 2 0 6 の他端に接続され、他端が端子 2 0 5 に接続されたインダクタ 2 0 7 と、一端がインダクタ 2 0 6 の他端に接続され、他端が接地されたキャパシタ 2 0 8 とを有している。端子 2 0 4 は、図 1 における高周波スイッチ 1 6 の一方の固定接点に接続されている。端子 2 0 5 は、デュプレクサ 1 3 W の共通端子 1 5 1 に接続されている。

整合回路 2 0 2 は、2 つの端子 2 1 1, 2 1 2 と、この端子 2 1 1, 2 1 2 の間に接続されたキャパシタ 2 1 3 とを有している。端子 2 1 1 は、デュプレクサ 1 3 W の受信端子 1 5 2 に接続されている。端子 2 1 2 は、図 1 におけるローノイズアンプ 3 6 W の入力端に接続されている。

整合回路 2 0 3 は、2 つの端子 2 1 5, 2 1 6 と、一端が端子 2 1 5 に接続されたインダクタ 2 1 7 と、一端がインダクタ 2 1 7 の他端に接続され、他端が端



子 2 1 6 に接続されたキャパシタ 2 1 8 と、一端がキャパシタ 2 1 8 の他端に接続され、他端が接地されたキャパシタ 2 1 9 とを有している。端子 2 1 5 は、デュプレクサ 1 3 W の送信端子 1 5 3 に接続されている。端子 2 1 6 は、図 1 におけるアイソレータ 3 5 W の出力端に接続されている。

なお、図 1 におけるデュプレクサ 1 3 N およびそれに接続される整合回路の回路構成は、デュプレクサ 1 3 W およびそれに接続される整合回路の回路構成と同様である。

次に、図 6 を参照して、L P F 2 4 G の回路構成の一例について説明する。図 6 に示した L P F 2 4 G は、入力端子 1 6 1 と出力端子 1 6 2 とを有している。L P F 2 4 G は、更に、一端が入力端子 1 6 1 に接続され、他端が接地されたキャパシタ 1 6 3 と、一端が入力端子 1 6 1 に接続されたインダクタ 1 6 4 と、一端が入力端子 1 6 1 に接続され、他端がインダクタ 1 6 4 の他端に接続されたキャパシタ 1 6 5 と、一端がインダクタ 1 6 4 の他端に接続され、他端が接地されたキャパシタ 1 6 6 とを有している。L P F 2 4 G は、更に、一端がインダクタ 1 6 4 の他端に接続され、他端が出力端子 1 6 2 に接続されたインダクタ 1 6 7 と、一端がインダクタ 1 6 4 の他端に接続され、他端が出力端子 1 6 2 に接続されたキャパシタ 1 6 8 と、一端が出力端子 1 6 2 に接続され、他端が接地されたキャパシタ 1 6 9 とを有している。なお、図 1 における L P F 2 4 D の回路構成は、L P F 2 4 G と同様である。

次に、図 7 を参照して、カプラ 2 2 G の回路構成の一例について説明する。図 7 に示したカプラ 2 2 G は、入力端子 1 7 1 と、出力端子 1 7 2 と、モニタ端子 1 7 3 と、負荷接続端子 1 7 4 とを有している。カプラ 2 2 G は、更に、一端が入力端子 1 7 1 に接続され、他端がモニタ端子 1 7 3 に接続されたキャパシタ 1 7 1 と、一端が入力端子 1 7 1 に接続され、他端が出力端子 1 7 2 に接続されたインダクタ 1 7 6 と、一端がモニタ端子 1 7 3 に接続され、他端が負荷接続端子 1 7 4 に接続されたインダクタ 1 7 7 と、一端が出力端子 1 7 2 に接続され、他端が負荷接続端子 1 7 4 に接続されたキャパシタ 1 7 8 とを有している。モニタ端子 1 7 3 は、自動出力制御回路 2 3 G の入力端に接続されるようになっている。負荷接続端子 1 7 4 は、5 0  $\Omega$  の負荷を介して接地されるようになっている。

なお、図1におけるカプラ22D, 33W, 33Nの回路構成は、カプラ22Gと同様である。

次に、図8を参照して、電力増幅器21Gの回路構成の一例について説明する。図8に示した電力増幅器21Gは、入力端子181と、出力端子182と、電源端子183と、接地端子184とを有している。電源端子183には、電源電圧が印加されるようになっている。

電力増幅器21Gは、更に、増幅器として機能するモノリシック・マイクロウェーブ集積回路（以下、MMICと記す。）185を有している。MMIC185の接地端は接地端子184に接続されている。電力増幅器21Gは、更に、一端が入力端子181に接続され、他端がMMIC185の入力端に接続されたキャパシタ186と、一端がキャパシタ186の他端に接続され、他端が接地端子184に接続されたインダクタ187とを有している。キャパシタ186およびインダクタ187は、入力整合回路195を構成している。

電力増幅器21Gは、更に、一端がMMIC185の出力端に接続されたキャパシタ188と、一端がキャパシタ188の他端に接続され、他端が出力端子182に接続されたキャパシタ189と、一端がキャパシタ188の他端に接続され、他端が接地端子184に接続されたインダクタ190と、一端が出力端子182に接続され、他端が接地端子184に接続されたインダクタ191とを有している。キャパシタ188, 189およびインダクタ190, 191は、出力整合回路196を構成している。

電力増幅器21Gは、更に、それぞれ一端が電源端子183に接続され、他端が接地端子184に接続されたキャパシタ192, 193と、一端が電源端子183に接続され、他端がMMIC185の電源入力端に接続されたチョークコイル194とを有している。なお、図1における電力増幅器21D, 32W, 32Nの回路構成は、電力増幅器21Gと同様である。

次に、フロントエンドモジュール2の構造について説明する。フロントエンドモジュール2は、ダイプレクサ11、高周波スイッチ16, 17, 12G, 12Dおよびデュプレクサ13W, 13Nを集積するための1つの集積用多層基板を備えている。集積用多層基板は、誘電体層と、パターン化された導体層とが交互

に積層された構造になっている。フロントエンドモジュール2の回路は、集積用多層基板の内部または表面上の導体層と、集積用多層基板に搭載された素子とによって構成されている。特に、デュプレクサ11は、集積用多層基板の内部または表面上の導体層を用いて構成されている。

次に、図9ないし図11を参照して、本実施の形態におけるデュプレクサ13W、13Nの構造の3つの例について順に説明する。なお、ここでは、弾性波素子として弾性表面波素子を用いた場合の例について説明するが、弾性表面波素子の代わりにバルク弾性波素子を用いてもよい。弾性表面波素子が圧電体の表面を伝播する音波（弾性表面波）を利用しているのに対し、バルク弾性波素子は、圧電体内部（バルク弾性波）を伝播する音波を利用するものである。このバルク弾性波素子のうち、特に圧電体薄膜を用いて作製されたものを薄膜バルク波素子と呼び、特に圧電体薄膜を用いて作製された共振器を薄膜バルク波共振器（Film Bulk Acoustic Resonator：FBAR）と呼ぶ。上記弾性波素子としては、上記薄膜バルク波素子を用いてもよい。この薄膜バルク波素子は、弾性表面波素子に比べて温度特性が良好である。一般に、弾性表面波素子の温度特性が40ppm/℃程度であるのに対し、薄膜バルク波素子の温度特性は20ppm/℃程度である。従って、薄膜バルク波素子は、フィルタに要求される急峻な周波数特性を実現するのに有利である。

図9は、デュプレクサ13W、13Nの構造の第1の例を示す断面図である。第1の例では、デュプレクサ13W、13Nは、図4における受信側BPF155に用いられる弾性表面波素子を含むチップ51と、図4における送信側BPF157に用いられる弾性表面波素子を含むチップ52と、これら2つのチップ51、52が実装された実装基板53と、チップ51、52を封止するキャップ54とを有している。実装基板53は、例えば、誘電体層の材料としてセラミックを用いたセラミック多層基板になっている。実装基板53は、弾性表面波素子以外のデュプレクサ13Wまたはデュプレクサ13Nの構成部分を含んでいる。例えば、デュプレクサ13W、13Nの受信側ディレーライン154および送信側ディレーライン156は、実装基板53の内部または表面上の導体層を用いて構成されている。また、デュプレクサ13W、13Nの共通端子151、受信端子

1 5 2 および送信端子 1 5 3 は、実装基板 5 3 の下面に配置されている。

チップ 5 1, 5 2 は、 $\text{LiTaO}_3$  等の圧電材料からなる圧電基板と、この圧電基板の一方の面に形成された櫛形電極と、この櫛形電極を外部の回路に接続するための接続電極 5 5 とを有している。図 9 に示した例では、接続電極 5 5 は、櫛形電極と同一面上に配置されている。また、この例では、チップ 5 1, 5 2 は、櫛形電極が実装基板 5 3 の上面に対向するように、フリップチップボンディングによって、実装基板 5 3 に実装されている。なお、チップ 5 1, 5 2 が実装基板 5 3 に実装された状態で、櫛形電極と実装基板 5 3 の上面との間に空間が形成されるようになっている。

第 1 の例では、上記の構成のデュプレクサ 1 3 W, 1 3 N は、フロントエンドモジュール 2 の集積用多層基板 2 0 に搭載されている。集積用多層基板 2 0 は、例えば低温焼成セラミック多層基板になっている。集積用多層基板 2 0 は、デュプレクサ 1 3 W, 1 3 N 以外のフロントエンドモジュール 2 の回路を含んでいる。

図 9 には、第 1 の例におけるフロントエンドモジュール 2 の厚さの一例が示されている。この例では、デュプレクサ 1 3 W, 1 3 N の実装基板 5 3 の厚さが 0.5 mm、デュプレクサ 1 3 W, 1 3 N の実装基板 5 3 の上面からキャップ 5 4 の上面までの部分の厚さが 0.5 mm、集積用多層基板 2 0 の厚さが 0.8 mm となっている。従って、この例では、フロントエンドモジュール 2 の厚さは、1.8 mm 以上となる。

図 10 は、デュプレクサ 1 3 W, 1 3 N の構造の第 2 の例を示す断面図である。第 2 の例では、デュプレクサ 1 3 W, 1 3 N は、第 1 の例と同様のチップ 5 1, 5 2 を有している。しかし、第 2 の例では実装基板 5 3 は設けられておらず、チップ 5 1, 5 2 は、フロントエンドモジュール 2 の集積用多層基板 2 0 に、直接搭載されている。チップ 5 1, 5 2 は、例えば、櫛形電極が集積用多層基板 2 0 の上面に対向するように、フリップチップボンディングによって、集積用多層基板 2 0 に実装されている。なお、チップ 5 1, 5 2 が集積用多層基板 2 0 に実装された状態で、櫛形電極と集積用多層基板 2 0 の上面との間に空間が形成されるようになっている。また、チップ 5 1, 5 2 は、キャップ 5 4 によって封止さ

れている。

第2の例では、弾性表面波素子以外のデュプレクサ13W, 13Nの構成部分は、集積用多層基板20に含まれている。例えば、デュプレクサ13W, 13Nの受信側ディレーライン154および送信側ディレーライン156は、集積用多層基板20の内部または表面上の導体層を用いて構成されている。また、デュプレクサ13W, 13Nの共通端子151、受信端子152および送信端子153は、集積用多層基板20の下面に配置されている。また、集積用多層基板20は、デュプレクサ13W, 13N以外のフロントエンドモジュール2の回路を含んでいる。

図10には、第2の例におけるフロントエンドモジュール2の厚さの一例が示されている。この例では、集積用多層基板20の上面からデュプレクサ13W, 13Nのキャップ54の上面までの部分の厚さが0.5mm、集積用多層基板20の厚さが0.8mmとなっている。従って、この例では、フロントエンドモジュール2の厚さは、1.3mm以上となる。

図11は、デュプレクサ13W, 13Nの構造の第3の例を示す断面図である。第3の例では、デュプレクサ13W, 13Nは、第1の例と同様のチップ51, 52と、これらのチップ51, 52が実装された1つまたは2つの実装基板56と、チップ51, 52を封止するキャップ54とを有している。なお、図11には、2つのチップ51, 52を1つの実装基板56に実装した例を示しているが、チップ51, 52を、それぞれ別個の実装基板56に実装してもよい。

実装基板56は、単層の誘電体層と、この誘電体層の上面および下面に設けられた、パターン化された導体層と、誘電体層の側面に設けられ、誘電体層の上面に設けられた導体層と下面に設けられた導体層とを接続する導体部とを有している。チップ51, 52は、例えば、櫛形電極が実装基板56の上面に対向するように、フリップチップボンディングによって、実装基板56に実装されている。なお、チップ51, 52が実装基板56に実装された状態で、櫛形電極と実装基板56の上面との間に空間が形成されるようになっている。

チップ51, 52および実装基板56は、フロントエンドモジュール2の集積用多層基板20に搭載されている。第3の例では、弾性表面波素子以外のデュプ

レクサ 1 3 W, 1 3 N の構成部分は、集積用多層基板 2 0 に含まれている。例えば、デュプレクサ 1 3 W, 1 3 N の受信側ディレーライン 1 5 4 および送信側ディレーライン 1 5 6 は、集積用多層基板 2 0 の内部または表面上の導体層を用いて構成されている。また、デュプレクサ 1 3 W, 1 3 N の共通端子 1 5 1、受信端子 1 5 2 および送信端子 1 5 3 は、集積用多層基板 2 0 の下面に配置されている。また、集積用多層基板 2 0 は、デュプレクサ 1 3 W, 1 3 N 以外のフロントエンドモジュール 2 の回路を含んでいる。

図 1 1 には、第 3 の例におけるフロントエンドモジュール 2 の厚さの一例が示されている。この例では、集積用多層基板 2 0 の上面からデュプレクサ 1 3 W, 1 3 N のキャップ 5 4 の上面までの部分の厚さが 0. 7 mm、集積用多層基板 2 0 の厚さが 0. 8 mm となっている。従って、この例では、フロントエンドモジュール 2 の厚さは、1. 5 mm 以上となる。

以上説明したように、本実施の形態に係るフロントエンドモジュール 2 では、ダイプレクサ 1 1 と、高周波スイッチ 1 6, 1 7, 1 2 G, 1 2 D と、2 つの弾性波素子を含むデュプレクサ 1 3 W と、2 つの弾性波素子を含むデュプレクサ 1 3 N とを、1 つの集積用多層基板 2 0 によって集積している。ダイプレクサ 1 1 は、集積用多層基板 2 0 の内部または表面上の導体層を用いて構成されている。弾性波素子を含むデュプレクサ 1 3 W, 1 3 N は、同軸誘電体形のデュプレクサに比べて、小型および軽量であると共に、複合化および集積化が容易である。従って、本実施の形態によれば、2 種類の時分割多重接続方式（G S M 方式と D C S 方式）と 2 種類の符号分割多重接続方式（W - C D M A 方式と N - C D M A 方式）とに対応可能で、且つ、小型軽量化、複合化および集積化が容易なフロントエンドモジュール 2 を実現することができる。

また、本実施の形態によれば、弾性波素子を含むデュプレクサ 1 3 W, 1 3 N を、ダイプレクサ 1 1 および高周波スイッチ 1 2 G, 1 2 D, 1 6, 1 7 と一体化することにより、デュプレクサ 1 3 W, 1 3 N とその周辺回路とのインピーダンス整合を最適化することが可能になる。従って、本実施の形態によれば、フロントエンドモジュール 2 の性能を向上させることも可能になる。

ところで、デュプレクサ 1 3 W, 1 3 N では、共通端子 1 5 1、受信端子 1 5

2、送信端子153の各インピーダンスは、通過帯域内の周波数に対しては、挿入損失が最小になるよう50Ωに設定され、阻止帯域内の周波数に対しては、減衰が大きくなるように大きな値に設定される。そのため、弾性波素子と、弾性波素子以外の構成部分（ディレーライン154、156や整合回路）とを含むデュプレクサ13W、13N全体で、特性を最適化する必要がある。

図9に示したデュプレクサ13W、13Nの構造の第1の例では、それぞれ弾性波素子を含むチップ51、52と、弾性波素子以外のデュプレクサ13W、13Nの構成部分を含む実装基板53とが一体化されている。そのため、第1の例では、デュプレクサ13W、13Nを、フロントエンドモジュール2における他の構成要素から独立した状態で製造することができる。従って、第1の例では、特性が最適化された状態のデュプレクサ13W、13Nを、集積用多層基板20に搭載することができる。しかし、第1の例では、フロントエンドモジュール2の厚さが大きくなってしまうという不具合がある。

図10に示したデュプレクサ13W、13Nの構造の第2の例では、弾性波素子以外のデュプレクサ13W、13Nの構成部分は集積用多層基板20に設けられ、それぞれ弾性波素子を含むチップ51、52は集積用多層基板20に搭載されている。この第2の例によれば、フロントエンドモジュール2の厚さを小さくすることができる。また、第2の例によれば、デュプレクサ13W、13N全体で特性が最適になるように、チップ51、52の特性と、集積用多層基板20に設けられた、弾性波素子以外のデュプレクサ13W、13Nの構成部分の特性とを設計し、設計通りのチップ51、52および集積用多層基板20を使用することによって、デュプレクサ13W、13N全体の特性を最適化することが可能になる。

ところで、ベアチップの状態であるチップ51、52の特性を測定するにはプローブを用いる必要がある。しかし、プローブ自体が高周波特性を持つため、チップ51、52の高周波特性を正確に測定することは難しい。そのため、ある割合で不良品のチップ51、52が集積用多層基板20に搭載されるという不具合がある。不良品のチップ51、52が集積用多層基板20に搭載されると、デュプレクサ13W、13N以外のフロントエンドモジュール2の構成部分の特性が

良好であっても、フロントエンドモジュール2全体が不良品になってしまう。そのため、第2の例では、フロントエンドモジュール2の歩留まりが低くなるという不具合がある。

図11に示したデュプレクサ13W, 13Nの構造の第3の例では、それぞれ弾性波素子を含むチップ51, 52は実装基板56に実装されている。従って、チップ51, 52および実装基板56は、パッケージ化された1つの部品を構成している。また、第3の例では、弾性波素子以外のデュプレクサ13W, 13Nの構成部分は集積用多層基板20に設けられ、チップ51, 52および実装基板56は、集積用多層基板20に搭載されている。チップ51, 52および実装基板56によって構成された部品については、プローブを用いることなく、通常の部品を測定するための治具を用いて正確に特性を測定することができる。従って、第3の例によれば、良品のチップ51, 52および実装基板56のみを集積用多層基板20に搭載することができ、その結果、フロントエンドモジュール2の歩留まりを向上させることができる。また、第3の例によれば、実装基板56は薄くてもよいので、フロントエンドモジュール2の厚さを小さくすることもできる。

また、上記第2の例および第3の例では、デュプレクサ13W, 13NにおけるBPFに用いられる弾性表面波素子を含むチップ51, 52は集積用多層基板20の上面に実装され、弾性表面波素子以外のデュプレクサ13W, 13Nの回路部分の少なくとも一部は集積用多層基板20の内部または表面上の導体層を用いて構成されている。これにより、フロントエンドモジュール2をより小型軽量化することが可能になる。

以下、本実施の形態に係るフロントエンドモジュール2の3つの変形例について説明する。

図12は、第1の変形例のフロントエンドモジュール2を含む携帯電話の高周波回路を示すブロック図である。第1の変形例のフロントエンドモジュール2は、図1に示したフロントエンドモジュール2の構成要素に加え、GSM方式の送信信号を通過させるカプラ22GおよびLPF24Gと、DCS方式の送信信号を通過させるカプラ22DおよびLPF24Dと、GSM方式の受信信号を通過



させるBPF25Gと、DCS方式の受信信号を通過させるBPF25Dと、W-CDMA方式の受信信号を通過させるBPF37Wと、N-CDMA方式の受信信号を通過させるBPF37Nとを備えている。また、第1の変形例では、集積用多層基板20は、図1に示したフロントエンドモジュール2の構成要素に加え、新たに加えられた上記の各構成要素も集積している。

第1の変形例のフロントエンドモジュール2のその他の構成は、図1に示したフロントエンドモジュール2と同様である。第1の変形例によれば、フロントエンドモジュール2に新たに加えられた上記の各構成要素も含めて、フロントエンドモジュール2全体の特性の最適化を図ることができる。

図13は、第2の変形例のフロントエンドモジュール2を含む携帯電話の高周波回路を示すブロック図である。第2の変形例のフロントエンドモジュール2は、図1に示したフロントエンドモジュール2の構成要素に加え、電力増幅器21G、21D、カップラ22G、22D、自動出力制御回路23G、23D、LPF24G、24D、BPF25G、25D、BPF31W、31N、電力増幅器32W、32N、カップラ33W、33N、自動出力制御回路34W、34N、アイソレータ35W、35N、ローノイズアンプ36W、36NおよびBPF37W、37Nを備えている。また、第2の変形例では、集積用多層基板20は、図1に示したフロントエンドモジュール2の構成要素に加え、新たに加えられた上記の各構成要素も集積している。

第2の変形例のフロントエンドモジュール2のその他の構成は、図1に示したフロントエンドモジュール2と同様である。第2の変形例によれば、フロントエンドモジュール2に新たに加えられた上記の各構成要素も含めて、フロントエンドモジュール2全体の特性の最適化を図ることができる。

図14は、第2の変形例のフロントエンドモジュール2における電力増幅器21Gの配置の一例を示す断面図である。この例では、電力増幅器21GのMMIC185は集積用多層基板20に搭載されている。電力増幅器21Gの入力整合回路195および出力整合回路196は、集積用多層基板20の内部または表面上の導体層を用いて構成されている。図示しないが、電力増幅器21Gのキャパシタ192、193およびチョークコイル194は集積用多層基板20に搭載さ

れている。また、集積用多層基板 20 における MMIC 185 が搭載される面とは反対側の面には、MMIC 185 が発生する熱を放散させるための導体層 197 が形成されている。集積用多層基板 20 には、更に、MMIC 185 が発生する熱を導体層 197 に導くために MMIC 185 の下面と導体層 197 を接続する複数のビアホール 198 が形成されている。なお、電力増幅器 21D, 32W, 32N の配置も、電力増幅器 21G と同様である。

次に、図 15 および図 16 を参照して、第 3 の変形例について説明する。第 3 の変形例のフロントエンドモジュール 2 は、図 1、図 12 または図 13 に示したフロントエンドモジュール 2 において、更にアンテナ 1 を備えたものである。第 3 の変形例では、集積用多層基板 20 は、図 1、図 12 または図 13 に示したフロントエンドモジュール 2 の構成要素に加え、アンテナ 1 も集積する。

以下、第 3 の変形例におけるアンテナ 1 の構造の 2 つの例について説明する。携帯電話に用いられるアンテナとしては、各種の形式および構造のものが知られているが、ここでは、アンテナ 1 としてパッチアンテナを用いるものとする。

図 15 は、アンテナ 1 の構造の第 1 の例を示す斜視図である。第 1 の例では、アンテナ 1 は、集積用多層基板 20 とは別個に製造され、例えば半田付けによって集積用多層基板 20 に搭載されている。第 1 の例におけるアンテナ 1 は、誘電体よりなる直方体形状の誘電体部 81 と、この誘電体部 81 の上面に設けられた電極 82 と、誘電体部 81 の底面に設けられ、接地面を形成する導体層 83 と、誘電体部 81 の側部に設けられた給電用導体部 84 と備えている。電極 82 および導体層 83 は、それぞれ矩形の平板状になっている。給電用導体部 84 の上端部は、電極 82 の側部に対して、所定の間隔を開けて対向している。集積用多層基板 20 の上面には、給電用導体部 84 の下端部に接続される導体層 85 が設けられている。

図 16 は、アンテナ 1 の構造の第 2 の例を示す斜視図である。第 2 の例では、アンテナ 1 は、集積用多層基板 20 に組み込まれている。第 2 の例におけるアンテナ 1 は、集積用多層基板 20 の上面に設けられた電極 92 と、集積用多層基板 20 の内部において電極 92 に対向する位置に配置され、接地面を形成する導体層 93 と、集積用多層基板 20 の側部に設けられた給電用導体部 94 と備えてい

る。電極 9 2 および導体層 9 3 は、それぞれ矩形の平板状になっている。給電用導体部 9 4 の上端部は、電極 9 2 の側部に対して、所定の間隔を開けて対向している。また、集積用多層基板 2 0 の内部において、導体層 9 3 よりも下の位置には、給電用導体部 9 4 の下端部に接続される導体層 9 5 が設けられている。

第 3 の変形例によれば、アンテナ 1 も含めて、フロントエンドモジュール 2 全体の特性の最適化を図ることができる。

なお、本実施の形態において、高周波スイッチ 1 2 G、1 2 D の代わりに、それぞれデュプレクサを用いてもよい。

#### [第 2 の実施の形態]

次に、本発明の第 2 の実施の形態に係るフロントエンドモジュールについて説明する。本実施の形態に係るフロントエンドモジュールは、AMP S (Advanced Mobile Phone System) で用いられる周波数帯域 (以下、AMP S 帯域と記す。) における送信信号および受信信号と、PCS (Personal Communications Service) で用いられる周波数帯域 (以下、PCS 帯域と記す。) における送信信号および受信信号と、GPS (Global Positioning System) における受信信号とを処理するためのモジュールである。GPS における受信信号は、位置検出機能のための信号である。AMP S 帯域は本発明における第 1 の周波数帯域に対応し、PCS 帯域は本発明における第 2 の周波数帯域に対応する。また、本実施の形態において、AMP S 帯域における送信信号および受信信号と、PCS 帯域における送信信号および受信信号は、いずれも符号分割多重接続方式の信号である。

図 1 8 は、上記各送信信号および受信信号の周波数帯域を示している。図 1 8 において、記号 TX は送信信号を表し、記号 RX は受信信号を表している。AMP S 帯域における送信信号の周波数帯域は、8 2 4 MHz ~ 8 4 9 MHz である。AMP S 帯域における受信信号の周波数帯域は、8 6 9 MHz ~ 8 9 4 MHz である。PCS 帯域における送信信号の周波数帯域は、1 8 5 0 MHz ~ 1 9 1 0 MHz である。PCS 帯域における受信信号の周波数帯域は、1 9 3 0 MHz ~ 1 9 9 0 MHz である。GPS における受信信号の周波数帯域 (以下、GPS 帯域と記す。) は、1 5 7 4 MHz ~ 1 5 7 6 MHz である。

まず、図 1 7 を参照して、本実施の形態に係るフロントエンドモジュールを含

む携帯電話の高周波回路の一例について説明する。図17に示した高周波回路は、2つのアンテナ301A、301Bと、これらのアンテナ301A、301Bに接続されたフロントエンドモジュール302とを備えている。アンテナ301Aは、AMP S帯域およびPCS帯域における信号の送信および受信に用いられる。アンテナ301Bは、GPSにおける受信信号の受信に用いられる。

図17に示した高周波回路は、更に、主にAMP S帯域およびPCS帯域における信号の変調および復調を行う集積回路303Aと、主にGPSにおける受信信号の復調を行う集積回路303Bとを備えている。高周波回路は、更に、それぞれ入力端がフロントエンドモジュール302に接続され、出力端が集積回路303Aに接続された2つのローノイズアンプ304A、304Pと、入力端がフロントエンドモジュール302に接続され、出力端が集積回路303Bに接続されたローノイズアンプ304Gとを備えている。高周波回路は、更に、それぞれ入力端が集積回路303Aに接続された2つの電力増幅器305A、305Pと、入力端が電力増幅器305Aの出力端に接続され、出力端がフロントエンドモジュール302に接続されたアイソレータ306Aと、入力端が電力増幅器305Pの出力端に接続され、出力端がフロントエンドモジュール302に接続されたアイソレータ306Pとを備えている。

フロントエンドモジュール302は、ダイプレクサ310と、2つのデュプレクサ312、313と、BPF314とを備えている。ダイプレクサ310は、本発明における第1の分離手段に対応する。デュプレクサ312は、本発明における第2の分離手段に対応する。デュプレクサ313は、本発明における第3の分離手段に対応する。

ダイプレクサ310は、第1ないし第3のポートを有している。第1のポートはアンテナ301Aに接続されている。第2のポートはデュプレクサ312に接続されている。第3のポートはデュプレクサ313に接続されている。ダイプレクサ310は、AMP S帯域とPCS帯域とを分離する。すなわち、ダイプレクサ310は、第2のポートに入力されたAMP S帯域における送信信号を第1のポートより出力すると共に、第1のポートに入力されたAMP S帯域における受信信号を第2のポートより出力する。また、ダイプレクサ310は、第3のポー

トに入力されたP C S帯域における送信信号を第1のポートより出力すると共に、第1のポートに入力されたP C S帯域における受信信号を第3のポートより出力する。

デュプレクサ312は、共通端子と送信端子と受信端子とを有している。共通端子はダイプレクサ310の第2のポートに接続されている。送信端子はアイソレータ306Aの出力端に接続されている。受信端子はローノイズアンプ304Aの入力端に接続されている。デュプレクサ312は、AMP S帯域における送信信号（図では、AMP S／TXと記す。）と受信信号（図では、AMP S／RXと記す。）とを分離する。すなわち、デュプレクサ312は、送信端子に入力されたAMP S帯域における送信信号を共通端子より出力すると共に、共通端子に入力されたAMP S帯域における受信信号を受信端子より出力する。

デュプレクサ313は、共通端子と送信端子と受信端子とを有している。共通端子はダイプレクサ310の第3のポートに接続されている。送信端子はアイソレータ306Pの出力端に接続されている。受信端子はローノイズアンプ304Pの入力端に接続されている。デュプレクサ313は、P C S帯域における送信信号（図では、P C S／TXと記す。）と受信信号（図では、P C S／RXと記す。）とを分離する。すなわち、デュプレクサ313は、送信端子に入力されたP C S帯域における送信信号を共通端子より出力すると共に、共通端子に入力されたP C S帯域における受信信号を受信端子より出力する。

B P F 3 1 4の入力端はアンテナ301Bに接続され、B P F 3 1 4の出力端はローノイズアンプ304Gの入力端に接続されている。B P F 3 1 4は、アンテナ301Bによって受信したG P Sにおける受信信号（図では、G P S／RXと記す。）を選択的に通過させる。

次に、図19を参照して、ダイプレクサ310の構成について説明する。ダイプレクサ310は、第1ないし第3のポート321～323と、L P F 3 2 4と、H P F 3 2 5とを有している。L P F 3 2 4およびH P F 3 2 5の各一端は第1のポート321に接続されている。L P F 3 2 4の他端は第2のポート322に接続されている。H P F 3 2 5の他端は第3のポート323に接続されている。

。

図20は、LPF324の特性、すなわち周波数と利得との関係を模式的に表している。図20に示したように、LPF324は、AMP S帯域内の周波数の信号を通過させ、PCS帯域内の周波数の信号を遮断する。なお、LPF324の代わりに、AMP S帯域内の周波数の信号を通過させ、PCS帯域内の周波数の信号を遮断する高域除去型のノッチフィルタを用いてもよい。

図21は、HPF325の特性、すなわち周波数と利得との関係を模式的に表している。図21に示したように、HPF325は、PCS帯域内の周波数の信号を通過させ、AMP S帯域内の周波数の信号を遮断する。なお、HPF325の代わりに、PCS帯域内の周波数の信号を通過させ、AMP S帯域内の周波数の信号を遮断する低域除去型のノッチフィルタを用いてもよい。

図22は、図17におけるBPF314の特性、すなわち周波数と利得との関係を模式的に表している。図22に示したように、BPF314は、GPS帯域内の周波数の信号を通過させ、AMP S帯域およびPCS帯域内の周波数の信号を遮断する。

次に、図23ないし図26を参照して、ダイプレクサ310において用いられる各フィルタの構成の例について説明する。

図23は、LPF324の構成の一例を示す回路図である。このLPF324は、2つの端子341、342と、インダクタ343と、3つのキャパシタ344～346とを有している。インダクタ343の一端は端子341に接続され、インダクタ343の他端は端子342に接続されている。キャパシタ344の一端は端子341に接続され、キャパシタ344の他端は端子342に接続されている。キャパシタ345の一端は端子341に接続され、キャパシタ345の他端は接地されている。キャパシタ346の一端は端子342に接続され、キャパシタ346の他端は接地されている。

図24は、図23に示したLPF324の代わりに用いることの可能な高域除去型のノッチフィルタの構成の一例を示す回路図である。このノッチフィルタは、2つの端子351、352と、2つのインダクタ353、354と、キャパシタ355とを有している。インダクタ353の一端は端子351に接続されている。インダクタ354の一端はインダクタ353の他端に接続され、インダクタ

3 5 4 の他端は端子 3 5 2 に接続されている。キャパシタ 3 5 5 の一端はインダクタ 3 5 3 の他端に接続され、キャパシタ 3 5 5 の他端は端子 3 5 2 に接続されている。

図 2 5 は、H P F 3 2 5 の構成の一例を示す回路図である。この H P F 3 2 5 は、2 つの端子 3 6 1, 3 6 2 と、3 つのインダクタ 3 6 3, 3 6 5, 3 6 6 と、キャパシタ 3 6 4 とを有している。インダクタ 3 6 3 の一端は端子 3 6 1 に接続され、インダクタ 3 6 3 の他端は端子 3 6 2 に接続されている。キャパシタ 3 6 4 の一端は端子 3 6 1 に接続され、キャパシタ 3 6 4 の他端は端子 3 6 2 に接続されている。インダクタ 3 6 5 の一端は端子 3 6 1 に接続され、インダクタ 3 6 5 の他端は接地されている。インダクタ 3 6 6 の一端は端子 3 6 2 に接続され、インダクタ 3 6 6 の他端は接地されている。

図 2 6 は、図 2 5 に示した H P F 3 2 5 の代わりに用いることの可能な低域除去型のノッチフィルタの構成の一例を示す回路図である。このノッチフィルタは、2 つの端子 3 7 1, 3 7 2 と、2 つのキャパシタ 3 7 3, 3 7 5 と、インダクタ 3 7 4 とを有している。キャパシタ 3 7 3 の一端は端子 3 7 1 に接続されている。インダクタ 3 7 4 の一端はキャパシタ 3 7 3 の他端に接続され、インダクタ 3 7 4 の他端は端子 3 7 2 に接続されている。キャパシタ 3 7 5 の一端はキャパシタ 3 7 3 の他端に接続され、キャパシタ 3 7 5 の他端は端子 3 7 2 に接続されている。

次に、図 2 7 を参照して、B P F 3 1 4 の構成の一例について説明する。図 2 7 は、B P F 3 1 4 の構成の一例を示す回路図である。この B P F 3 1 4 は、2 つの端子 3 8 1, 3 8 2 と、6 つのキャパシタ 3 8 3 ~ 3 8 8 と、2 つのインダクタ 3 9 1, 3 9 2 とを有している。キャパシタ 3 8 3 の一端は端子 3 8 1 に接続されている。キャパシタ 3 8 4 の一端はキャパシタ 3 8 3 の他端に接続されている。キャパシタ 3 8 5 の一端はキャパシタ 3 8 4 の他端に接続され、キャパシタ 3 8 5 の他端は端子 3 8 2 に接続されている。キャパシタ 3 8 6 の一端は端子 3 8 1 に接続され、キャパシタ 3 8 6 の他端は端子 3 8 2 に接続されている。キャパシタ 3 8 7 の一端は、キャパシタ 3 8 3, 3 8 4 の接続点に接続され、キャパシタ 3 8 7 の他端は接地されている。キャパシタ 3 8 8 の一端は、キャパシタ

384, 385の接続点に接続され、キャパシタ388の他端は接地されている。インダクタ391の一端は、キャパシタ387の一端に接続され、インダクタ391の他端は接地されている。インダクタ392の一端は、キャパシタ388の一端に接続され、インダクタ392の他端は接地されている。

次に、図28を参照して、デュプレクサ312, 313の回路構成の一例について説明する。図28に示したデュプレクサ312, 313は、共通端子401と送信端子402と受信端子403とを有している。共通端子401はダイプレクサ310に接続される。送信端子402はアイソレータ306Aまたはアイソレータ306Pに接続される。受信端子403はローノイズアンプ304Aまたはローノイズアンプ304Pに接続される。

デュプレクサ312, 313は、更に、一端が共通端子401に接続された送信側ディレーライン（図28では送信側DLと記す。）404と、出力端が送信側ディレーライン404の他端に接続され、入力端が送信端子402に接続された送信側BPF405とを有している。デュプレクサ312, 313は、更に、一端が共通端子401に接続された受信側ディレーライン（図28では受信側DLと記す。）406と、入力端が受信側ディレーライン406の他端に接続され、出力端が受信端子403に接続された受信側BPF407とを有している。BPF405, 407は、いずれも弾性波素子を用いて構成されている。

送信側ディレーライン404および受信側ディレーライン406は、各端子401, 402, 403からデュプレクサ312, 313を見たときのインピーダンスが以下のようになるように調整される。すなわち、共通端子401からデュプレクサ312, 313を見たときには、送信信号の周波数帯域および受信信号の周波数帯域においてインピーダンスがほぼ50Ωとなる。送信端子402からデュプレクサ312, 313を見たときには、送信信号の周波数帯域ではインピーダンスがほぼ50Ωとなり、受信信号の周波数帯域ではインピーダンスが十分に大きくなる。受信端子403からデュプレクサ312, 313を見たときには、受信信号の周波数帯域ではインピーダンスがほぼ50Ωとなり、送信信号の周波数帯域ではインピーダンスが十分に大きくなる。なお、BPF405, 407の構成によっては、送信側ディレーライン404と受信側ディレーライン406



の一方のみを設ければよい場合もある。

なお、上述のインピーダンスの関係を実現するために、図 2 8 に示したデュプレクサ 3 1 2, 3 1 3 における共通端子 4 0 1、送信端子 4 0 2、受信端子 4 0 3 と、それらに接続される外部の回路との間に、必要に応じて整合回路を設けてもよい。図 2 9 は、デュプレクサ 3 1 2, 3 1 3 およびそれに接続される整合回路の回路構成の一例を示す回路図である。図 2 9 に示した例におけるデュプレクサ 3 1 2, 3 1 3 の構成は、図 2 8 に示したデュプレクサ 3 1 2, 3 1 3 の構成と同様である。図 2 9 に示した例では、共通端子 4 0 1 に整合回路 4 1 1 が接続され、送信端子 4 0 2 に整合回路 4 1 2 が接続され、受信端子 4 0 3 に整合回路 4 1 3 が接続されている。これらの整合回路 4 1 1, 4 1 2, 4 1 3 は、フロントエンドモジュール 3 0 2 に含まれている。

整合回路 4 1 1 は、端子 4 1 4 と、2つのキャパシタ 4 1 5, 4 1 6 とを有している。端子 4 1 4 はダイプレクサ 3 1 0 に接続される。キャパシタ 4 1 5 の一端は端子 4 1 4 に接続され、キャパシタ 4 1 5 の他端は共通端子 4 0 1 に接続されている。キャパシタ 4 1 6 の一端は共通端子 4 0 1 に接続され、キャパシタ 4 1 6 の他端は接地されている。

整合回路 4 1 2 は、端子 4 1 7 と、2つのキャパシタ 4 1 8, 4 1 9 と、インダクタ 4 2 0 とを有している。キャパシタ 4 1 8 の一端は端子 4 1 7 に接続されている。キャパシタ 4 1 9 の一端はキャパシタ 4 1 8 の他端に接続され、キャパシタ 4 1 9 の他端は送信端子 4 0 2 に接続されている。インダクタ 4 2 0 の一端はキャパシタ 4 1 8 の他端に接続され、インダクタ 4 2 0 の他端は接地されている。

整合回路 4 1 3 は、端子 4 2 1 と、インダクタ 4 2 2 と、キャパシタ 4 2 3 とを有している。インダクタ 4 2 2 の一端は受信端子 4 0 3 に接続され、インダクタ 4 2 2 の他端は端子 4 2 1 に接続されている。キャパシタ 4 2 3 の一端は端子 4 2 1 に接続され、キャパシタ 4 2 3 の他端は接地されている。

図 3 0 は、デュプレクサ 3 1 2, 3 1 3 における送信側 B P F 4 0 5 の特性、すなわち周波数と利得との関係を模式的に表している。図 3 0 に示したように、送信側 B P F 4 0 5 は、送信信号（図 3 0 では T X と記す。）を通過させ、受信

信号（図 3 0 では R X と記す。）を遮断する。

図 3 1 は、デュプレクサ 3 1 2, 3 1 3 における受信側 B P F 4 0 7 の特性、すなわち周波数と利得との関係を模式的に表している。図 3 1 に示したように、受信側 B P F 4 0 7 は、受信信号（図 3 1 では R X と記す。）を通過させ、送信信号（図 3 1 では T X と記す。）を遮断する。

次に、図 3 2 ないし図 3 5 を参照して、フロントエンドモジュール 3 0 2 の構造について説明する。図 3 2 は、フロントエンドモジュール 3 0 2 の外観の一例を示す斜視図である。図 3 2 に示したように、フロントエンドモジュール 3 0 2 は、1 つの集積用多層基板 4 3 0 を備えている。ダイプレクサ 3 1 0、2 つのデュプレクサ 3 1 2, 3 1 3 および B P F 3 1 4 は、この集積用多層基板 4 3 0 によって集積されている。集積用多層基板 4 3 0 は、誘電体層と、パターン化された導体層とが交互に積層された構造になっている。集積用多層基板 4 3 0 は、例えば低温焼成セラミック多層基板になっている。フロントエンドモジュール 3 0 2 の回路は、集積用多層基板 4 3 0 の内部または表面上の導体層と、集積用多層基板 4 3 0 に搭載された部品とによって構成されている。特に、ダイプレクサ 3 1 0 は、集積用多層基板 4 3 0 の内部または表面上の導体層を用いて構成されている。

図 2 8 に示したように、デュプレクサ 3 1 2, 3 1 3 は、それぞれ 2 つの B P F 4 0 5, 4 0 7 を有している。B P F 4 0 5, 4 0 7 は、いずれも弾性波素子を用いて構成されている。古くから、B P F としては、誘電体共振器を用いて構成されたものが使用されていた。しかしながら、誘電体共振器を用いた B P F は、大きく重いため、フロントエンドモジュールの小型軽量化には不向きである。本実施の形態では、デュプレクサ 3 1 2, 3 1 3 は、弾性波素子を用いて構成された B P F 4 0 5, 4 0 7 を有しているため、B P F 4 0 5, 4 0 7 を含めたフロントエンドモジュール 3 0 2 の小型軽量化が可能である。

なお、ここでは、弾性波素子として弾性表面波素子を用いた場合の例について説明するが、第 1 の実施の形態と同様に、弾性表面波素子の代わりにバルク弾性波素子、特に薄膜バルク波素子を用いてもよい。

図 3 2 において、符号 4 3 1, 4 3 2 は、デュプレクサ 3 1 2 における B P F

405, 407に用いられる弾性表面波素子を含むチップを表わし、符号433, 434は、デュプレクサ313におけるBPF405, 407に用いられる弾性表面波素子を含むチップを表わしている。チップ431～434は集積用多層基板430の上面に実装されている。弾性表面波素子以外のデュプレクサ312, 313の回路部分の少なくとも一部は、集積用多層基板430の内部または表面上の導体層を用いて構成されている。図32には、弾性表面波素子以外のデュプレクサ312, 313の回路部分の一部が、集積用多層基板430の上面に実装されたチップ部品435～437によって構成され、弾性表面波素子以外のデュプレクサ312, 313の回路部分の残りの部分が、集積用多層基板430の内部または表面上の導体層を用いて構成されている例を示している。しかし、弾性表面波素子以外のデュプレクサ312, 313の回路部分は、全てインダクタとキャパシタによって構成できるため、弾性表面波素子以外のデュプレクサ312, 313の回路部分の全部を集積用多層基板430の内部または表面上の導体層を用いて構成してもよい。

集積用多層基板430の上面、およびこの上面に実装されたチップ431～434およびチップ部品435～437は、シールドケース438によって覆われている。

図33は、図32において符号440で示した断面を表わす断面図である。図33に示したように、チップ431は、LiTaO<sub>3</sub>等の圧電材料からなる圧電基板441と、この圧電基板441の一方の面に形成された櫛形電極442と、この櫛形電極442を外部の回路に接続するための接続電極443と、櫛形電極442を覆うカバー444とを有している。接続電極443は、櫛形電極442と同一面上に配置されている。また、櫛形電極442とカバー444との間には空間が形成されている。チップ431は、櫛形電極442が集積用多層基板430の上面に対向するように、フリップチップボンディングによって、集積用多層基板430の上面に実装されている。チップ432～434の構造および実装方法もチップ431と同様である。

図33において、符号451は、アンテナ301Aに接続されるアンテナ端子を示し、符号452は、AMP S帯域における受信信号を出力する出力端子を示

し、符号453は、グランド端子を示している。これらの端子451～453は、集積用多層基板430の下面に配置されている。また、符号454は、集積用多層基板430の内部に配置されたグランド層を示している。このグランド層454は、グランド端子453に接続されている。

また、図33に示した例では、チップ431は、デュプレクサ312における受信側BPF407を構成するものとしている。また、図33には、集積用多層基板430の内部に形成された回路部分の例として、図23に示したLPF324と、図29に示した整合回路411と、図29に示した受信側ディレーライン406と、図29に示した整合回路413とを示している。図34は、図33において符号460で示した部分、すなわち、整合回路411および受信側ディレーライン406を示す斜視図である。

図32に示した例では、集積用多層基板430の上面が平坦で、この平坦な上面にチップ431～434が実装されている。他の例として、図35に示したように、集積用多層基板430の上面にチップ431～434を収納する4つの凹部439を形成し、この凹部439内にそれぞれチップ431～434を配置してもよい。

図32に示したフロントエンドモジュール302の大きさは、例えば、縦5.4mm、横4.0mm、高さ1.8mmになっている。

次に、図36ないし図42を参照して、本実施の形態に係るフロントエンドモジュール302に対する比較例のフロントエンドモジュールについて説明する。比較例のフロントエンドモジュールの回路構成は、図17に示したフロントエンドモジュール302と同様である。しかし、比較例では、ダイプレクサと2つのデュプレクサは、それぞれ別個の部品とされ、これらが、マザー基板上に半田付け等の方法によって実装されて構成されている。

図36は、比較例におけるダイプレクサ510の外観の一例を示す平面図である。図36に示したダイプレクサ510は、第1ないし第3のポートに対応する端子510A、510B、510Cと、3つのグランド端子510Gとを有している。図36に示した例では、ダイプレクサ510の大きさは、縦2.0mm、横1.2mmになっている。

図 3 7 は、図 3 6 に示したダイプレクサ 5 1 0 の断面図である。図 3 8 は、図 3 7 において符号 5 4 1、5 4 2 で示した部分を分解して示す斜視図である。図 3 7 に示したように、ダイプレクサ 5 1 0 は多層基板を有している。図 3 7 および図 3 8 には、端子 5 1 1 A と、この端子 5 1 1 A に接続された L P F 5 2 4 とが示されている。L P F 5 2 4 は、多層基板の内部または表面上の導体層を用いて形成されている。この L P F 5 2 4 は、図 2 3 に示した構成になっている。すなわち、L P F 5 2 4 は、インダクタ 3 4 3 と 3 つのキャパシタ 3 4 4 ~ 3 4 6 を有している。なお、図 3 7 において、符号 5 4 0 はグランド層を示している。

図 3 9 は、比較例におけるデュプレクサ 5 1 2、5 1 3 の外観の一例を示す斜視図である。図 3 9 に示したデュプレクサ 5 1 2、5 1 3 は、それぞれ B P F に用いられる弾性表面波素子を含む 2 つのチップ 5 2 1、5 2 2 と、この 2 つのチップ 5 2 1、5 2 2 が実装された実装基板 5 2 3 と、チップ 5 2 1、5 2 2 を覆うシールドケース 5 2 4 とを有している。実装基板 5 2 3 は多層基板になっている。図 3 9 に示した例では、デュプレクサ 5 1 2、5 1 3 の大きさは、縦 5 mm、横 5 mm、高さ 1.5 mm になっている。

図 4 0 は、図 3 9 におけるチップ 5 2 1 を通る断面を示す断面図である。図 4 0 におけるチップ 5 2 1 の構造は、図 3 3 に示したチップ 4 3 1 の構造と同様である。図 4 0 には、共通端子 5 3 1、受信端子 5 3 2、受信側ディレーライン 5 3 3 および整合回路 5 3 4 が示されている。受信側ディレーライン 5 3 3 および整合回路 5 3 4 は、実装基板 5 2 3 の内部または表面上の導体層を用いて形成されている。

図 4 1 は比較例におけるフロントエンドモジュールの構成部品の配置例を示す平面図、図 4 2 はこの配置例を示す斜視図である。この例では、マザー基板上に、ダイプレクサ 5 1 0、デュプレクサ 5 1 2、5 1 3 およびそれらの周辺回路が配置される第 1 の領域 5 3 7 と、B P F 5 1 4 およびその周辺回路が配置される第 2 の領域 5 3 8 とが設けられている。この例では、B P F 5 1 4 の大きさは、縦 3 mm、横 6 mm になっている。また、この例では、第 1 の領域 5 3 7 の大きさは縦 13 mm、横 10 mm で、第 2 の領域 5 3 8 の大きさは縦 5 mm、横 10 mm になっている。

本実施の形態に係るフロントエンドモジュール302は、比較例に比べて、占有面積を小さくすることができる。

以上説明したように、本実施の形態に係るフロントエンドモジュール2は、AMP S帯域とPCS帯域とを分離するダイプレクサ310と、AMP S帯域における送信信号と受信信号とを分離するデュプレクサ312と、PCS帯域における送信信号と受信信号とを分離するデュプレクサ313と、GPSにおける受信信号を選択的に通過させるBPF314とを備えている。デュプレクサ312は、それぞれフィルタとして機能する2つの弾性波素子を含んでいる。デュプレクサ313も、それぞれフィルタとして機能する2つの弾性波素子を含んでいる。本実施の形態では、ダイプレクサ310、デュプレクサ312、313およびBPF314は、集積用多層基板430によって集積されている。ダイプレクサ310は、集積用多層基板430の内部または表面上の導体層を用いて構成されている。

以上のことから、本実施の形態によれば、フロントエンドモジュール302によって、AMP S帯域とPCS帯域のそれぞれにおける送信信号および受信信号と、GPSにおける受信信号とを処理することができる。また、本実施の形態では、デュプレクサ312、313によって送信信号と受信信号とを分離するので、符号分割多重接続方式に対応可能である。また、本実施の形態によれば、小型軽量化、複合化および集積化が容易なフロントエンドモジュール302を実現することができる。

また、本実施の形態では、デュプレクサ312におけるBPF405、407に用いられる弾性表面波素子を含むチップ431、432と、デュプレクサ313におけるBPF405、407に用いられる弾性表面波素子を含むチップ433、434は、集積用多層基板430の上面に実装されている。そして、弾性表面波素子以外のデュプレクサ312、313の回路部分の少なくとも一部は、集積用多層基板430の内部または表面上の導体層を用いて構成されている。これにより、フロントエンドモジュール302をより小型軽量化することが可能になる。

また、本実施の形態によれば、弾性波素子を含むデュプレクサ312、313

を、ダイプレクサ 310 と一体化することにより、デュプレクサ 312, 313 とその周辺回路とのインピーダンス整合を最適化することが可能になる。従って、本実施の形態によれば、フロントエンドモジュール 302 の性能を向上させることも可能になる。

なお、本発明は、上記各実施の形態に限定されず、種々の変更が可能である。例えば、各実施の形態では、デュプレクサにおける送信側 BPF に用いられる弾性波素子を含むチップと受信側 BPF に用いられる弾性波素子を含むチップとを別体に行している。しかし、本発明では、これらの 2 つのチップを合体して 1 つのチップとしてもよい。

また、各実施の形態で挙げた周波数帯域の組み合わせは一例であり、本発明は、他の周波数帯域の組み合わせに対しても適用することができる。

以上説明したように本発明のフロントエンドモジュールは、第 1 および第 2 の周波数帯域を分離する第 1 の分離手段と、第 1 の周波数帯域における送信信号と受信信号とを分離する第 2 の分離手段と、第 2 の周波数帯域における送信信号と受信信号とを分離する第 3 の分離手段とを備えている。第 2 の分離手段は、それぞれフィルタとして機能する 2 つの弾性波素子を含んでいる。第 3 の分離手段も、それぞれフィルタとして機能する 2 つの弾性波素子を含んでいる。第 1 ないし第 3 の分離手段は、1 つの集積用多層基板によって集積されている。また、第 1 の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されている。従って、本発明によれば、第 1 および第 2 の周波数帯域のそれぞれにおける送信信号および受信信号を処理できると共に符号分割多重接続方式に対応可能で、且つ小型軽量化、複合化および集積化が容易なフロントエンドモジュールを実現することができる。

また、本発明のフロントエンドモジュールにおいて、第 2 の分離手段に含まれる 2 つの弾性波素子および第 3 の分離手段に含まれる 2 つの弾性波素子は、集積用多層基板に実装され、弾性波素子以外の第 2 の分離手段および第 3 の分離手段の回路部分の少なくとも一部は、集積用多層基板の内部または表面上の導体層を用いて構成されていてもよい。この場合には、フロントエンドモジュールをより小型軽量化することが可能になる。

以上の説明に基づき、本発明の種々の態様や変形例を実施可能であることは明らかである。従って、以下の請求の範囲の均等の範囲において、上記の最良の形態以外の形態でも本発明を実施することが可能である。



## クレーム

1. 第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号を処理するためのフロントエンドモジュールであって、

アンテナに接続され、前記第1および第2の周波数帯域を分離する第1の分離手段と、

前記第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、前記第1の周波数帯域における送信信号と受信信号とを分離する第2の分離手段と、

前記第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、前記第2の周波数帯域における送信信号と受信信号とを分離する第3の分離手段と、

前記第1ないし第3の分離手段を集積するための1つの集積用多層基板とを備え、

前記第1の分離手段は、前記集積用多層基板の内部または表面上の導体層を用いて構成されていることを特徴とするフロントエンドモジュール。

2. 前記第2の分離手段に含まれる2つの弾性波素子および前記第3の分離手段に含まれる2つの弾性波素子は、前記集積用多層基板に実装され、

前記弾性波素子以外の第2の分離手段および第3の分離手段の回路部分の少なくとも一部は、前記集積用多層基板の内部または表面上の導体層を用いて構成されていることを特徴とする請求項1記載のフロントエンドモジュール。

3. 前記第1の分離手段は、

第1の周波数帯域内の周波数の信号を通過させ、第2の周波数帯域内の周波数の信号を遮断するフィルタと、

第2の周波数帯域内の周波数の信号を通過させ、第1の周波数帯域内の周波数の信号を遮断するフィルタとを有することを特徴とする請求項1記載のフロントエンドモジュール。

4. 前記第 1 および第 2 の周波数帯域のそれぞれにおける送信信号および受信信号は、符号分割多重接続方式の信号であることを特徴とする請求項 1 記載のフロントエンドモジュール。

## 要約

フロントエンドモジュールは、ダイプレクサと第1および第2のデュプレクサを備えている。第1のデュプレクサは、第1の高周波スイッチを介してダイプレクサに接続され、N-CDMA方式の送信信号と受信信号とを分離する。第2のデュプレクサは、第2の高周波スイッチを介してダイプレクサに接続され、W-CDMA方式の送信信号と受信信号とを分離する。各デュプレクサは弾性波素子を含んでいる。フロントエンドモジュールの構成要素は1つの集積用多層基板によって集積されている。ダイプレクサは集積用多層基板の内部および表面上の導体層を用いて構成されている。